

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-268061

(43)Date of publication of application : 25.10.1989

(51)Int.Cl.

H01L 29/78

(21)Application number : 63-095528

(71)Applicant : HITACHI LTD

(22)Date of filing : 20.04.1988

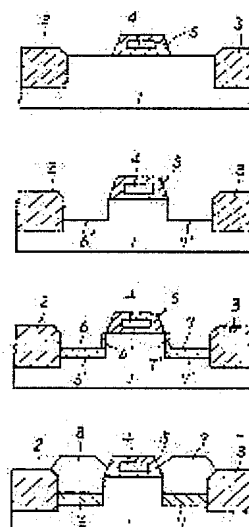
(72)Inventor : HONJO SHIGERU
ISHIBASHI KOICHIRO
AOKI MASAOKI
SASAKI KATSURO
SHIMOHIGASHI KATSUHIRO
KAGA TORU

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To make it possible to prevent the increase in leakage current and the decrease in driving capability of a MOS transistor, by forming grooves in one or both of a source and drain by a self-alignment mode with a gate, providing insulators to the bottom surface parts of the grooves, and providing the source or the drain thereon.

CONSTITUTION: Grooves are formed in one or both of a source and a drain by a self-aligning mode with a gate 4. Insulators 6 and 7 are provided at the bottom surface parts of the grooves. A source or drain 8 or 9 is provided on the insulators 6 and 7. For example, insulators 2 and 3 for isolating elements, a conductor layer 4 which is to become a gate and a gate insulator 5 are formed on a P-type substrate 1. Then, with the insulators 2, 3 and 5 as masks, the substrate 1 is etched. Thereafter, impurities are introduced into the bottom surface parts 6' and 7' of the holes, and the insulators 6 and 7 are formed by a thermal oxidation method. Then, the oxide films at side surface parts 6'' and 7'' of the hole are etched away so that the oxide films of the bottom surface parts 6' and 7' of the holes remain. Thereafter, polycrystalline silicon parts 8 and 9 incorporating impurities whose conductivity is reverse with respect to that of the substrate are embedded, and a source region and a drain region are formed.



⑫ 公開特許公報(A) 平1-268061

⑥ Int.Cl.⁴

識別記号

庁内整理番号

④ 公開 平成1年(1989)10月25日

H 01 L 29/78

3 0 1

S-8422-5F

審査請求 未請求 請求項の数 1 (全6頁)

⑭ 発明の名称 半導体装置

⑰ 特 願 昭63-95528

⑱ 出 願 昭63(1988)4月20日

⑲ 発 明 者 本 城 繁 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑲ 発 明 者 石 橋 孝 一 郎 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑲ 発 明 者 青 木 正 明 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑲ 発 明 者 佐 々 木 勝 朗 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑲ 代 理 人 弁理士 小川 勝男 外1名

最終頁に続く

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

1. ゲートとセルフアラインでソース、ドレインの一方あるいは両方に溝を形成し、該溝の底面に絶縁物を有し、該絶縁物の上部にソースあるいはドレインを具備してなる半導体装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体装置に係り、例えばMOSトランジスタの如き電界効果型トランジスタを基本素子とするメモリ装置に関する。

〔従来の技術〕

従来、情報記憶する不純物拡散層を絶縁物で囲む方法については、インターナショナル エレクトロニクス デバイス ミーティング 1987年 第344頁から第347頁(IEDM(1987) pp 344~347)において論じられている。

〔発明が解決しようとする課題〕

上記従来技術は、MOSトランジスタのリーク電流または駆動能力の点について配慮がされておらず、MOSトランジスタのリーク電流増大、駆動能力低下の問題があった。

本発明の目的は、少なくともチャネル部を基板表面で形成し、ゲートをセルフアラインで溝を掘り電界効果型トランジスタのソース、ドレインの一方あるいは両方の電極の基板側に絶縁物を形成することにある。

〔課題を解決するための手段〕

上記目的は、不純物濃度差による酸化膜の成長の速度差、あるいは選択酸化等を利用することにより、達成される。

〔作用〕

少なくともMOSトランジスタのチャネル部分を基板内に形成する。それによつて、MOSトランジスタのリーク電流増大、駆動能力低下することが少ない。

〔実施例〕

第1図は、第1の実施例によるMOSトランジ

スタの製造のプロセスフローを各プロセスの断面構造図を用いて示したものである。

第1図(A)において、1はp型基板、2, 3は素子分離を行なうためのLOCOS方法により形成された SiO_2 絶縁物、4はMOSトランジスタのゲートとなる導電層(例えばポリシリコン)、5はp型基板1とMOSトランジスタのゲートとなる導電層4との分離を行なうための絶縁物(例えば SiO_2)である。次に第1図(B)において2, 3, 4なる絶縁物をマスクとして基板1をエッチングした後、穴の底面部分6', 7'に不純物を導入する。例えばイオン注入法で酸素あるいはリン、ボロンを導入する。次に第1図(C)において熱酸化法により6, 7なる絶縁物を形成する。例えば酸素をイオン注入した場合、穴の底面部分6', 7'の酸素濃度が穴の側面部分6'', 7''の酸素濃度よりも大きいため、同一酸化条件であれば、底面部分6', 7'の酸化膜厚の方が側面部分6'', 7''の酸化膜厚よりも大きくなる。また、例えばリンあるいはボロンをイオン注入し

た場合、穴の底面部分6', 7'の不純物濃度が穴の側面部分6'', 7''の不純物濃度よりも大きくなるために、酸化膜は不純物濃度が高いほど速く成長することから、底面部分6', 7'の酸化膜厚の方が側面部分6'', 7''の酸化膜厚よりも大きくなる。次に第1図(D)において穴の底面部分6', 7'の酸化膜を残すように穴の側面部分6'', 7''の酸化膜をエッチングにより除去した後、基板と反対導電型の不純物を含んだ多結晶シリコン8, 9を埋める。この結果4をゲート、8, 9をそれぞれソース領域、ドレイン領域とするMOSトランジスタを形成することができる。

第2図は、第2の実施例の製造プロセスフローを各プロセスの断面構造図を用いて示したものである。

第2図(A)は、第1図(B)のように基板をエッチングした後、熱処理に強い膜10を形成する。たとえばシリコン窒化膜10を形成する。次に第2図(B)において、基板1の垂直方向に対してエッチ速度の大きいエッチング法、例えば反

応性イオンエッチング法などを用い窒化膜10', 10'', 10'''を残すようにエッチングする。この後、溝の底面11, 12に不純物を導入する。例えば、ボロン、リンあるいは酸素を導入する。次に第2図(C)において酸化を行なう。この酸化物13, 14は絶縁物となる。次に第2図(D)において、10', 10'', 10''', 10''''なる窒化膜を除去し、15, 16なる不純物を含むシリコン層を形成する。この結果4をゲート、15, 16をそれぞれソース領域、ドレイン領域とするMOSトランジスタを形成することができる。

第3図は、第3の実施例のプロセスフローを各プロセスの断面構造図を用いて示したものである。

第3図(A)は第2図(B)と同様にして窒化膜10'~10''''を形成した後、不純物を含んだ多結晶シリコン17を形成し熱を加えることで溝の底面11, 12に不純物を拡散させたものである。次に第3図(B)において溝の底面11, 12が露出するように多結晶シリコン17をエツ

チングする。この後、酸化膜18, 19を熱酸化法等により形成する。この結果、第2図(C)の構造を得ることができる。

第4図は、第4の実施例のプロセスフローを各プロセスの断面構造図を用いて示したものである。

第4図(A)は第1図(C)の構造において溝の底面部分6', 7'の酸化物を残すように溝の側面部分6'', 7''の酸化物をエッチングしたものである。次に第4図(B)において基板を種として不純物を含む単結晶シリコン20, 21をエピタキシャル成長させ、ソース領域、ドレイン領域を形成する。次に第4図(C)において22, 23なる電極金属導電層(例えばアルミニウム)を形成する。この結果4をゲート、22, 23をそれぞれソース電極、ドレイン電極とするMOSトランジスタを形成することができる。

第5図は、第5の実施例のプロセスフローを各プロセスの断面構造図を用いて示したものである。

第5図(A)は第1図(A)の絶縁物2, 3のようにチャネルに垂直に基板内に形成されない絶

絶縁物を用いた場合である。第5図(B)では絶縁物5, 24, 25をマスクにして溝を形成する。この後、第1図(B)のようにして溝の底面部分6', 7'に不純物を導入する。次に第1図(C)のようにして6, 7なる絶縁物を形成する。次に第5図(D)において溝の底面部分6', 7'の酸化膜を残すように溝の側面部分6'', 6'', 7'', 7''の酸化膜をエッチングした後、第1図(D)のようにして、8, 9なる不純物を含むシリコン膜を埋める。24, 25のようなテーパーを持った絶縁物の形成方法とテーパーを持たない場合の絶縁物の形成方法を比較するとテーパーを持つ方が結晶欠陥の発生率が小さいためにリーク電流を小さくすることができる。

第6図は、第6の実施例のレイアウト図およびその各種断面構造図を示している。

第6図(A)の26, 27, 28, 29は素子分離領域、30, 31はそれぞれMOSトランジスタのソース、ドレイン、32, 33はそれぞれ該ソース、ドレインを引き出す導電層、34は

のドレインを58とし共有することにより相補型MOSトランジスタを構成する。

第8図は第8の実施例の断面構造図である。1はp型基板、2, 3は素子分離のための絶縁物、68と69とはN⁻(低不純物濃度)のソース領域およびドレイン領域、6, 7, 66は絶縁物、70は67, 8, 9をそれぞれゲート、高不純物濃度ソース領域、高不純物濃度ドレイン領域とするN型MOSトランジスタである。

第9図は第9の実施例のプロセスフローを各プロセスの断面構造を用いて示したものである。第1図(D)のように導電層8, 9を形成する。例えばp型基板と反対導電型N不純物を含む多結晶シリコンを用いる。次に熱処理を行ない第9図(B)の71, 72なるN⁻層を基板の中に形成する。

上述した本発明の説明において用いた、不純物の形名、ウエルの形名が逆であつても本発明の効果は同である。また、ソース、あるいはドレインの一方の下部に絶縁物がある構造にも同様な効果

MOSトランジスタのゲートである。第6図(B), (C), (D)はそれぞれ第6図(A)の一断面構造図である。第6図(B)の特徴は35, 36, 37, 38なる絶縁物がチャネル部に垂直に形成されていることである。第6図(C)の特徴は39, 40なる絶縁物がチャネル部に垂直、41, 42なる絶縁物はテーパーを持つことである。第6図(D)の特徴は44なる絶縁物がチャネル部に垂直、43, 45, 46なる絶縁物はテーパーを持つことである。

第7図は第7の実施例の断面構造図である。

47はN型基板、48はN型ウエル、49はp型ウエル、50, 51, 52は素子分離のための絶縁物、53, 54, 55は絶縁物、59は56, 57, 58をそれぞれゲート、ソース領域、ドレイン領域とするp型MOSトランジスタ、60, 61, 62は絶縁物、65は63, 64, 58をそれぞれ、ゲート、ソース領域、ドレイン領域とするN型MOSトランジスタである。該N型MOSトランジスタとp型MOSトランジスタそれぞれ

があることは言うまでもない。

また、本発明はMOSトランジスタに限定されるものではなく、ゲート部分をショットキー障壁で形成したMESFETにも適用できることは言うまでもない。

〔発明の効果〕

本発明によれば、ゲート、ソース、ドレインを有する電界効果型トランジスタのリーク電流増大、駆動能力低下を防ぐことができるので該電界効果型トランジスタの性能低下が少なく、α線によるソフトエラーに強い構造を得ることができる。

4. 図面の簡単な説明

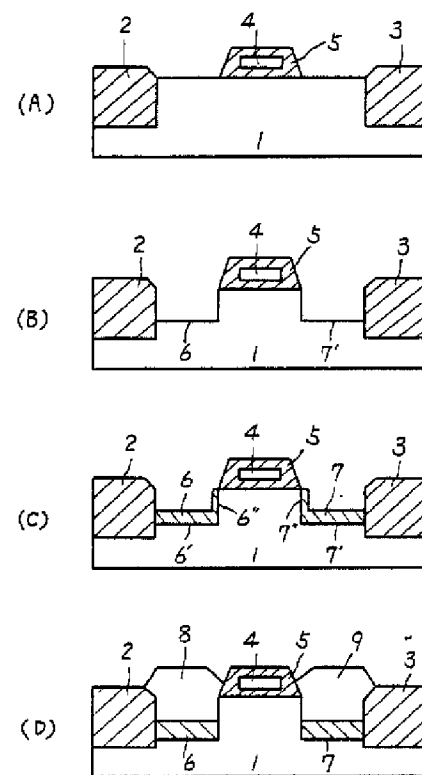
第1図(A)乃至(D)、第2図(A)乃至(D)、第3図(A)および(B)、第4図(A)乃至(C)、第5図(A)乃至(D)、第9図(A)および(B)はそれぞれ本発明の実施例の製造プロセスフローを示した断面構造図、第6図(A)乃至(D)は本発明の他の実施例のレイアウト図およびその断面構造図、第7図と第8図とは本発明のさらに別の実施例の断面構造図である。

6, 7, 13, 14, 18, 19, 54, 55,
61, 62...MOSトランジスタのソースあるいは
ドレイン下部に設けた絶縁物、2, 3, 24,
25, 26, 27, 28, 29, 35, 36,
37, 38, 39, 40, 41, 42, 43,
44, 45, 46, 50, 51, 52...素子分離
のための絶縁物。

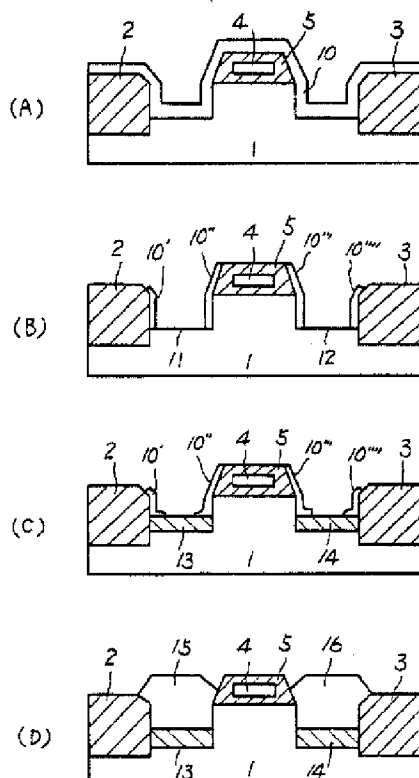
代理人 弁理士 小川勝男



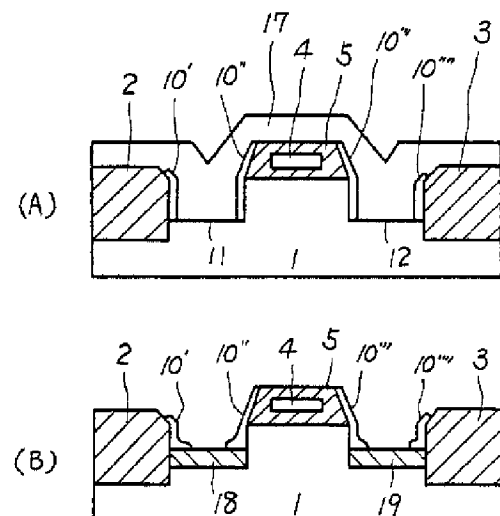
第1図



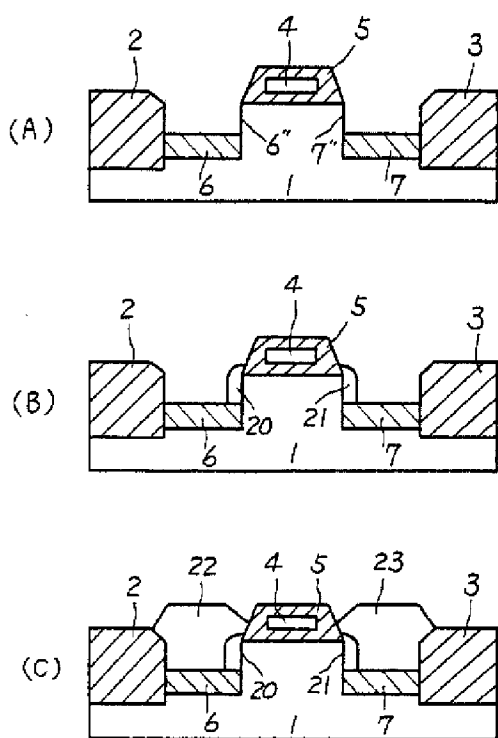
第2図



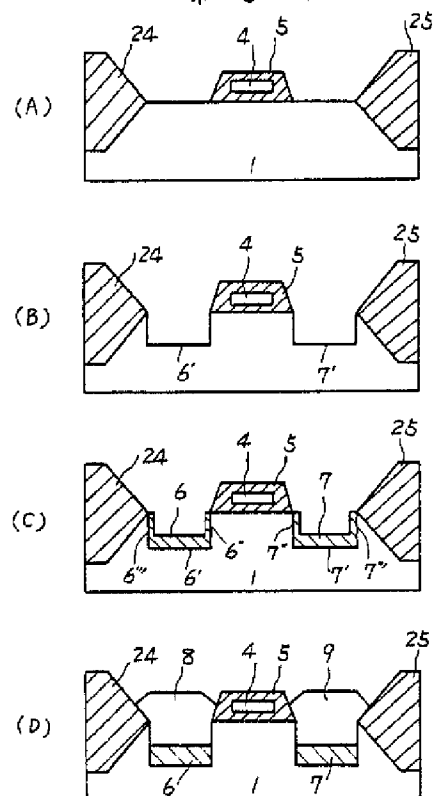
第3図



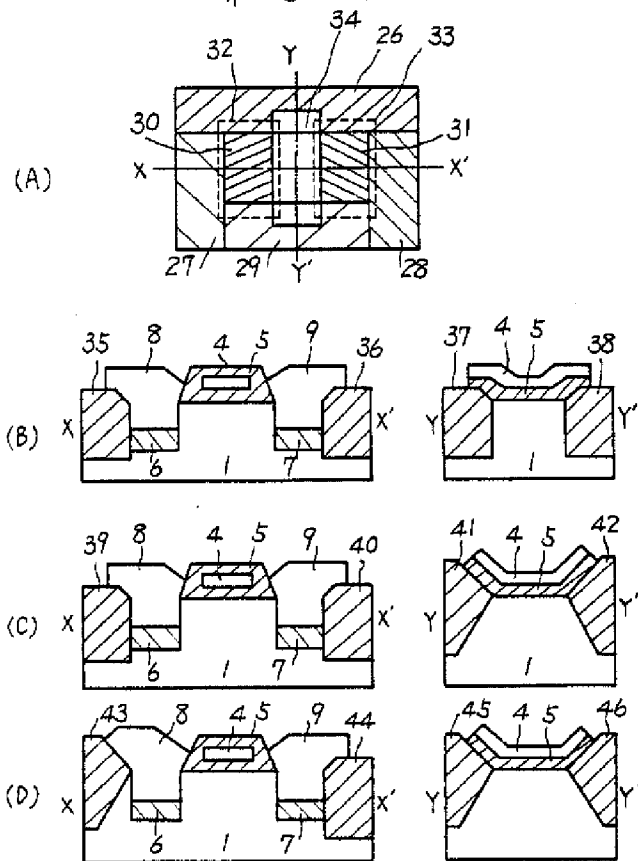
第 4 圖



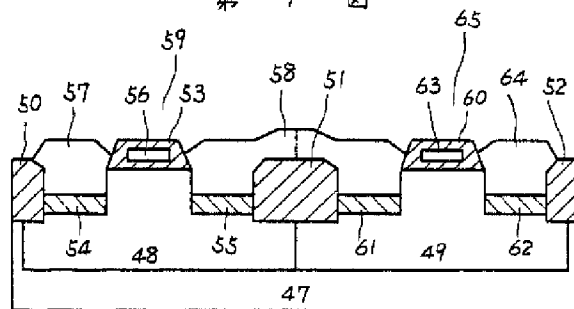
第 5 圖



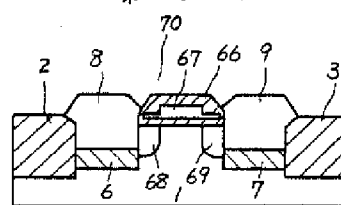
第 6 圖



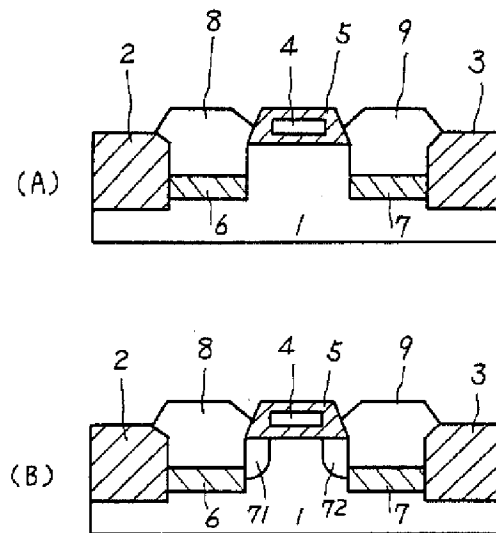
第 7 圖



第 8 圖



第 9 図



第1頁の続き

⑫発 明 者	下 東	勝 博	東京都国分寺市東恋ヶ窪1丁目280番地	株式会社日立製作所中央研究所内
⑬発 明 者	加 賀	徹	東京都国分寺市東恋ヶ窪1丁目280番地	株式会社日立製作所中央研究所内